**实验2 组合逻辑设计——七段数字显示译码器**

**一．实验目的**

1．掌握数码管的工作原理。

2．掌握用硬件描述语言设计电路的过程。

3．掌握在文本方式下编辑程序的方法及使用QuartusII 13.0进行编译、仿真的操作过程。

4．掌握将电路封装成图形符号的过程。

5．掌握将电路下载到FPGA平台的过程。

**二．实验环境**

硬件：B-ICE-EDA/SOPC综合实验仪、微型计算机

软件：Quartus II 13.0设计软件

**三．实验任务及要求**

任务：设计一个七段数字显示译码器。

要求：

1．输入一个四位二进制数，该数为0~9的BCD码，经译码后产生对应的字形码，可使七段数码管上显示出对应的的十进制数，即数码管上显示出0~9。

2．用Verilog描述该电路，编码规范参考附录B。

3．使用Quartus II 13.0软件进行编辑、编译、仿真。

4．根据综合实验平台进行引脚分配并下载演示实验结果。

**四．实验指导**

1.实验原理

数码管有两种工作方式：静态显示和动态显示。

静态显示的特点是每个数码管的段落选择信号必须接一个八位数据线来保持显示的字形码。当送入一次字形码后，显示的数字可以一直保持，直到送入新字形码为止。这种方式的优点是电路结构简单，占用时间少，便于显示控制。缺点是随着显示位数的增加，所需七段译码器增多，且占用I/O资源多，硬件电路成本、功耗增大。

本次实验的主要目的是测试七段译码电路，只用到一位数码管，不需要轮流显示，因此可以任选一个数码管来显示，及本次实验可将动态数码管当作静态数码管来使用。

2.设计思路

本实验可以分成三个部分：输入、译码电路、输出。其中译码电路部分需要设计，该电路设计好后需要下载到FP

BCD-七段数字显示译码电路

BCD输入

a

e

d

c

b

f

g

3.真值表

|  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| 输入 | | | | 输出 | | | | | | | 显示 |
| data[3] | data[2] | data[1] | data[0] | a | b | c | d | e | f | g |
| 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 0 |
| 0 | 0 | 0 | 1 | 0 | 1 | 1 | 0 | 0 | 0 | 0 | 1 |
| 0 | 0 | 1 | 0 | 1 | 1 | 0 | 1 | 1 | 0 | 1 | 2 |
| 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 0 | 1 | 3 |
| 0 | 1 | 0 | 0 | 0 | 1 | 1 | 0 | 0 | 1 | 1 | 4 |
| 0 | 1 | 0 | 1 | 1 | 0 | 1 | 1 | 0 | 1 | 1 | 5 |
| 0 | 1 | 1 | 0 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 6 |
| 0 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 7 |
| 1 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 8 |
| 1 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 1 | 9 |

4.七段数字显示译码程序

输入端：四位二进制代码输入data[3:0]

输出端：七位数码管控制端a,b,c,d,e,f,g，位选择端sel

module led(data, a, b, c, d, e, f, g, sel);

input [3:0] data;

output a, b, c, d, e, f, g;

output sel;

reg a, b, c, d, e, f, g;

assign sel=1’b0;

always @(data)

begin

case(data)

4’b0000:{ a, b, c, d, e, f, g} = 7’b1111110

4’b0001:{ a, b, c, d, e, f, g} = 7’b0110000

4’b0010:{ a, b, c, d, e, f, g} = 7’b1101101

4’b0011:{ a, b, c, d, e, f, g} = 7’b1111001

4’b0100:{ a, b, c, d, e, f, g} = 7’b0110011

4’b0101:{ a, b, c, d, e, f, g} = 7’b1011011

4’b0110:{ a, b, c, d, e, f, g} = 7’b1011111

4’b0111:{ a, b, c, d, e, f, g} = 7’b1110000

4’b1000:{ a, b, c, d, e, f, g} = 7’b1111111

4’b1001:{ a, b, c, d, e, f, g} = 7’b1111011

default:{ a, b, c, d, e, f, g} = 7’bx

endcase

end

endmodule

引脚使用建议

（1）输入端可通过开关组进行控制

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| 开关名称 | SW4 | SW3 | SW2 | SW1 |
| 引脚号 | PIN\_V13 | PIN\_AA15 | PIN\_M20 | PIN\_N18 |
| 输入端名称 | data3 | data2 | data1 | data0 |

（2）输出端通过数码管进行显示

|  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- |
| 段、位名称 | LA | LB | LC | LD | LE | LF | LG | DS8 |
| 引脚号 | PIN\_AA20 | PIN\_W20 | PIN\_R21 | PIN\_P21 | PIN\_N21 | PIN\_N20 | PIN\_M21 | PIN\_V16 |
| 输出端名称 | a | b | c | d | e | f | g | h |